

Docket No. 122.1329/HJ

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JCS51 U.S. PTO
09/045041
03/20/98

In re Application of:

Hisanori FUJISAWA

Group Art Unit:

Serial No.:

Examiner:

Filed: March 19, 1998

For: METHOD AND APPARATUS FOR CARRYING
OUT CIRCUIT SIMULATION

**SUBMISSION OF CERTIFIED COPY OF PRIOR
FOREIGN APPLICATION IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant submits herewith a certified copy of the following foreign application:


Japanese Patent Application No. 9-186987
Filed: July 11, 1997

It is respectfully requested that the applicant be given the benefit of the foreign filing date, as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY

Date: March 20, 1998

By:


H. J. Staas
Registration No. 22,010

700 Eleventh Street, N.W.
Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS51 U.S. PRO
09/045041
03/20/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日
Date of Application:

1997年 7月11日

願 番 号
Application Number:

平成 9年特許願第186987号

願 人
Applicant(s):

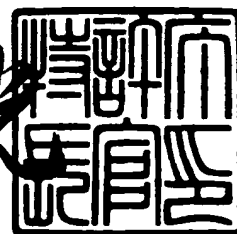
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1997年12月19日

特許庁長官
Commissioner,
Patent Office

荒井寿光



出証番号 出証特平09-3103354

【書類名】 特許願

【整理番号】 9700137

【提出日】 平成 9年 7月11日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 G06F 17/00
G06F 17/40
G06G 7/48

【発明の名称】 回路シミュレーション方法および装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 藤澤 久典

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100088269

【弁理士】

【氏名又は名称】 戸田 利雄

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709215

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路シミュレーション方法および装置

【特許請求の範囲】

【請求項1】 回路シミュレーションの対象とする回路から、等価な動作特性を示すか否かについての等価性検証を行うべき複数の部分回路を抽出し、

前記回路の外部端子から前記複数の部分回路の各々における所定の端子までの経路をたどって該外部端子からの影響の強さを評価し、

前記複数の部分回路の構成、該複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係、該複数の部分回路の対応する構成素子の動作特性、および前記外部端子からの影響の強さに基づいて前記等価性検証を行うことにより前記等価な動作特性を示す部分回路を検出し、

該等価な動作特性を示す部分回路を一つにまとめて前記回路を圧縮した後に前記回路シミュレーションを行うことを特徴とする回路シミュレーション方法。

【請求項2】 前記回路が複数のMOS型半導体素子を含むMOS回路である場合、前記外部端子からの影響の強さとして、前記外部端子から前記複数の部分回路の各々における所定の端子までの経路をたどったときに前記MOS型半導体素子のソース端子またはドレイン端子からゲート端子の方向への移動の回数を評価する請求項1記載の回路シミュレーション方法。

【請求項3】 前記等価性検証を行うべき複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係が互いに異なると判定された場合、当該入力端子および出力端子の少なくとも一方にそれぞれ接続されている他の複数の部分回路についての準等価性を検証し、当該他の複数の部分回路が準等価な回路であると判定されたときは、前記等価性検証を行うべき複数の部分回路が等価な動作特性を示すものとみなす請求項1記載の回路シミュレーション方法。

【請求項4】 前記等価性検証を行うにあたり、前記回路内で他に存在しない唯一な素子を検出し、該唯一な素子に接続されている端子の中で他に存在しない唯一な端子と判定されていない端子が存在する場合、当該端子を新たに唯一な端子と判定し、前記の新たに判定された唯一な端子に接続されている前記複数の部分回路についての等価性検証を行う請求項1記載の回路シミュレーション方法

【請求項5】 回路シミュレーションの対象とする回路から、等価な動作特性を示すか否かについての等価性検証を行うべき複数の部分回路を抽出する回路抽出部と、

前記複数の部分回路の構成、該複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係、および該複数の部分回路の対応する構成素子の動作特性についてのデータを予め保持しておく記憶部と、

前記回路の外部端子から前記複数の部分回路の各々における所定の端子までの経路をたどって該外部端子からの影響の強さを評価する評価手段と、

該評価手段による該外部端子からの影響の強さに関する評価結果、および前記記憶部に保持されている前記データに基づいて前記等価性検証を行うことにより前記等価な動作特性を示す部分回路を検出ための回路等価性検証部とを有し、

該等価な動作特性を示す部分回路を一つにまとめて前記回路を圧縮した後に前記回路シミュレーションを行うように構成することを特徴とする回路シミュレーション装置。

【請求項6】 前記回路が複数のMOS型半導体素子を含むMOS回路である場合、前記評価手段が、前記外部端子からの影響の強さとして、前記外部端子から前記複数の部分回路の各々における所定の端子までの経路をたどったときに前記MOS型半導体素子のソース端子またはドレイン端子からゲート端子の方向への移動の回数を評価する請求項5記載の回路シミュレーション装置。

【請求項7】 前記回路等価性検証部により、前記等価性検証を行うべき複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係が互いに異なると判定された場合、当該入力端子および出力端子の少なくとも一方にそれぞれ接続されている他の複数の部分回路についての準等価性を検証する接続回路準等価性検証部を有し、

該接続回路準等価性検証部により当該他の複数の部分回路が準等価な回路であると判定されたときは、前記等価性検証を行うべき複数の部分回路が等価な動作特性を示すものとみなす請求項5記載の回路シミュレーション装置。

【請求項8】 前記回路等価性検証部が前記等価性検証を行うにあたり、前

記回路内で他に存在しない唯一な素子を検出し、該唯一な素子に接続されている端子の中で他に存在しない唯一な端子と判定されていない端子が存在する場合、当該端子を新たに唯一な端子と判定し、前記の新たに判定された唯一な端子に接続されている前記複数の部分回路についての等価性検証を行う請求項5記載の回路シミュレーション回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路シミュレーションの対象とする回路に対し高速にてシミュレーション動作を行うための回路シミュレーション方法および回路シミュレーション装置に関する。

特に、本発明は、回路シミュレーションの対象とする回路として、複数のMOS型半導体素子を含むMOSLSI回路（LSI回路は大規模集積回路の略）のシミュレーション動作による検証を行って、当該MOSLSI回路が設計仕様を満足するか否かを確認するため、あるいは、当該MOSLSI回路の性能向上を図るための回路シミュレーション技術に関するものである。

【0002】

【従来技術】

回路シミュレータ等を用いてシミュレーション対象回路のシミュレーション動作を実行する場合、対象回路内のモデル化した回路素子の接続関係や、モデル化した回路素子の特性や、対象回路の入力端子の接続関係等に基づいて、回路内の端子に流れる電流値や同端子の電圧値が算出される。この場合、シミュレーション対象回路をそのまま取り扱ってシミュレーション動作を行っていたのでは、シミュレーション動作の所要時間が長くなり、短時間で効率良く回路シミュレーションを遂行することが難しい。特に、MOSLSI回路では回路規模が大きいことにより、シミュレーション対象回路の正確さを保持しつつ当該回路を簡略化することによってシミュレーション動作の所要時間を短縮することにより、高速にてシミュレーション動作を実行することが必要になってくる。

【0003】

図13は、従来の回路シミュレーション方法の一例を説明するための流れ図であり、図14は、図13の回路シミュレーション方法により回路圧縮が行われるシミュレーション対象回路の代表例を示す回路図である。

ここでは、説明を簡単にするために、上記シミュレーション対象回路として、図14の(A)部に示すような2個のn-MOS型トランジスタ(nチャネルタイプMOS型トランジスタの略)からなる信号遅延化回路、および、(C)部に示すような3個のn-MOS型トランジスタからなる論理回路を考える。なお、(B)部に示すような1個のn-MOS型トランジスタからなる回路は、後述するように、図14の(A)部の信号遅延化回路を圧縮したものである。

【0004】

図13および図14に示すような従来の回路シミュレーション方法は、例えば、本願と同一の発明者および出願人によりなされた先行特許出願(特願平8-198074号:1996年7月26日出願)の明細書に開示されている。

図13のフローチャートにおいて、初めに、シミュレーション動作の対象とする回路内のネット N_i (i は任意の正の整数、図14の(A)部および(B)部では $i=1\sim 3$ 、図14の(C)部では $i=10, 20, 30$ および 40)、例えば、図14の(A)部のネット N_1 を選出する(ステップS200)。次に、ネット N_i 、例えば、ネット N_1 に対し、着目ネットであることを示す識別符号を付与する。上記ネット N_1 に識別符号 a_1 を付与する(ステップS210)。

。

【0005】

さらに、ステップS220において、ネット N_i に接続されている回路素子のうち、互いに同一の特性を有する回路素子(同一回路素子)を検証する。ここで、同一回路素子とは、ソース電源 V_{DD} およびドレイン電源 V_{SS} により動作する能動回路素子のn-MOS型トランジスタおよびp-MOS型トランジスタ(pチャネルタイプMOS型トランジスタの略)や、受動回路素子のコンデンサ、抵抗およびダイオード等のレベルで同一の回路素子特性を有する回路素子、すなわち、互いに等価な動作特性を示す回路素子であることを意味する。例えば、図14の(A)部のn-MOS型トランジスタ Q_1 とn-MOS型トランジスタ Q

2とが同一回路素子であるとみなされる。

【0006】

さらに、ステップS230において、複数の同一回路素子が検出された場合には、ステップS240へ進み、そうでない場合にはステップS290へ進む。ステップS240では、ステップS220にて検出された同一回路素子に対し同一識別符号を付与する。例えば、n-MOS型トランジスタQ1およびn-MOS型トランジスタQ2の両方に識別符号b1を付与する（S240）。

【0007】

さらに、上記のようにして検出された同一回路素子の対応する端子の同一性を検査する（ステップS245）。例えば、図14の（A）部では、n-MOS型トランジスタQ1のソース、ドレインおよびバルクの電氣的接続条件が、それぞれ、n-MOS型トランジスタQ2のソース、ドレインおよびバルクの電氣的接続条件と同一であるか否かを調べる。

【0008】

上記のようにして検査された互いに対応する端子（対応端子）に同一性があればステップS260へ進み、そうでない場合にはステップS280へ進む。

さらに、ステップS260において、互いに同一性を有するm個（mは2以上の任意の正の整数）の回路素子およびこれらの回路素子の端子を、一つの回路素子およびその端子に統合する。例えば、図14の（A）部の回路を図14の（B）部の回路に統合する。このように、複数の回路素子および複数の端子からなる回路を、一つの簡単な回路素子および端子からなる回路に統合する処理は、通常、回路の圧縮とよばれる。

【0009】

ここで、図14の（A）部の回路を図14の（B）部の回路に圧縮する場合、統合されたn-MOS型トランジスタQ1'（図14の（B）部参照）の各端子を流れる電流が、統合前のn-MOS型トランジスタQ1（図14の（A）部参照）の各端子を流れる電流の2倍になるように、n-MOS型トランジスタQ1'の回路素子特性を定める。すなわち、n-MOS型トランジスタQ1'のゲート容量およびドレイン電流が、n-MOS型トランジスタQ1のゲート容量およ

びドレイン電流の2倍になるように回路素子パラメータを定める。

【0010】

ステップS280において、以前に同一の識別符号が付与された端子を検証した結果として互いに不同一であることが確認された場合、その識別符号を解除し（例えば、図14の（A）部のn-MOS型トランジスタQ1、Q2に付与された識別符号b1を解除）、ステップS220に戻る。識別符号が付与されたままの回路素子および端子は、識別符号が互いに同一であれば、その回路素子および端子が同一性を有すると判定することができるので、同一性判定のための重複処理が回避される。

【0011】

また一方で、図14の（C）部の論理回路において、前述の図14の（A）部の場合と同様の手順により同一回路素子と判定して同一識別符号b10を付与したn-MOS型トランジスタQ10とn-MOS型トランジスタQ20については、ドレインがいずれもネットN20に接続されると共に、バルクがいずれもネットN30に接続されている。しかしながら、一方のn-MOS型トランジスタQ10のソースはネットN30に接続されており、他方のn-MOS型トランジスタQ20のソースはネットN40に接続されている。したがって、n-MOS型トランジスタQ10およびn-MOS型トランジスタQ20のソースについては、既に同一識別符号t1が付与されているにもかかわらず、さらに同一性を検証する必要がある。

【0012】

上記のようなn-MOS型トランジスタQ10およびn-MOS型トランジスタQ20のソースに関する同一性を検証する場合、対応端子である各々のソースに接続された回路素子の同一性を検査する。図14の（C）部の場合には、n-MOS型トランジスタQ10のソースはソース電源VSSに接続されており、n-MOS型トランジスタQ20のソースはn-MOS型トランジスタQ30のドレインに接続されているので、n-MOS型トランジスタQ10のソースとn-MOS型トランジスタQ20のソースとは、最終的に同一性がないと判定される。この場合、ソースの端子に付与されている同一識別符号t1は、ステップS2

80にて解除される。

【0013】

上記の図13および図14に例示したような従来の回路シミュレーション方法においては、シミュレーション対象回路の入力端子の接続関係、同シミュレーション対象回路の構成、および対応する複数の回路素子の動作特性を見て同回路素子が互いに同一の特性を有するか否かの検証（すなわち、動作特性の等価性の検証）を行い、同一の特性を有することが検証された回路素子に対し回路の圧縮をかけることによって回路シミュレーションを実行していた。

【0014】

【発明が解決しようとする課題】

しかしながら、従来の回路シミュレーション方法によれば、図13および図14にて説明したように、MOSLSI回路等のシミュレーション対象回路の動作検証を行うに際し、互いに同一の回路素子特性を有すると判定された複数の回路素子について、それぞれ対応する端子に接続された回路素子の同一性を検査することによってのみ前記複数の回路素子の動作特性の等価性に関する最終的な検証を行っていた。

【0015】

このように、従来の回路シミュレーション方法では、回路内のごく限られた領域に位置する回路素子の同一性しか検証できないので、等価な動作特性を有する回路素子をシミュレーション回路から漏れなく検出することが難しくなり、回路の圧縮が効果的に行われない。

それゆえに、シミュレーション対象回路の大規模化に伴い回路素子の総数も増加してシミュレーション動作に要する時間が増大してくるので、高速にて回路シミュレーションを遂行することが困難になるという問題が生じてくる。

【0016】

本発明は上記問題点に鑑みてなされたものであり、特にMOSLSI回路のような大規模な回路をシミュレーション動作の対象として選定した場合に、シミュレーションの所要時間を大幅に短縮することによって高速のシミュレーション動作を実現することが可能な回路シミュレーション方法および装置を提供すること

を目的とするものである。

【0017】

【課題を解決するための手段】

図1は、本発明の基本原理に基づく回路シミュレーション方法を説明するための流れ図である。

本発明の回路シミュレーション方法においては、図1の流れ図に示すように、回路シミュレーションの対象とする回路（すなわち、シミュレーション対象回路）から、等価な動作特性を示すか否かについての等価性検証を行うべき複数の部分回路を抽出し（ステップS1）、上記回路の外部端子から上記複数の部分回路の各々における所定の端子までの経路（すなわち、パス）をたどって上記外部端子からの影響の強さを評価し（ステップS2）、上記複数の部分回路の構成、これらの複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係、これらの複数の部分回路の対応する構成素子（すなわち、回路素子）の動作特性、および上記外部端子からの影響の強さに基づいて上記等価性検証を行うことにより上記の等価な動作特性を示す部分回路を検出し（ステップS3）、上記の等価な動作特性を示す部分回路を一つにまとめて上記回路を圧縮した後に上記回路シミュレーションを行うようにしている（ステップS4）。

【0018】

好ましくは、本発明の回路シミュレーション方法においては、上記回路が複数のMOS型半導体素子を含むMOS回路である場合、上記外部端子からの影響の強さとして、上記外部端子から上記複数の部分回路の各々における所定の端子までの経路をたどったときに上記MOS型半導体素子のソース端子またはドレイン端子からゲート端子の方向への移動の回数を評価するようにしている。

【0019】

さらに、好ましくは、本発明の回路シミュレーション方法においては、上記等価性検証を行うべき複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係が互いに異なると判定された場合、当該入力端子および出力端子の少なくとも一方にそれぞれ接続されている他の複数の部分回路についての準等価性を検証し、当該他の複数の部分回路が準等価な回路であると判定された

ときは、上記等価性検証を行うべき複数の部分回路が等価な動作特性を示すものとみなすようにしている。

【0020】

さらに、好ましくは、本発明の回路シミュレーション方法においては、上記等価性検証を行うにあたり、上記回路内で他に存在しない唯一な素子を検出し、この唯一な素子に接続されている端子の中で他に存在しない唯一な端子と判定されていない端子が存在する場合、当該端子を新たに唯一な端子と判定し、この新たに判定された唯一な端子に接続されている複数の部分回路についての等価性検証を行うようにしている。

【0021】

図2は、本発明の回路シミュレーション装置の原理構成を示すブロック図である。ただし、ここでは、説明を簡単にするために、回路シミュレータ等を含む回路シミュレーション装置の構成を簡略化して示すこととする。

本発明の回路シミュレーション装置は、図2のブロック図に示すように、回路シミュレーションの対象とする回路（すなわち、シミュレーション対象回路）から、等価な動作特性を示すか否かについての等価性検証を行うべき複数の部分回路を抽出する回路抽出部1と、上記複数の部分回路の構成、上記複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係、および上記複数の部分回路の対応する構成素子（すなわち、回路素子）の動作特性についてのデータを予め保持しておく記憶部5とを備えている。この記憶部5は、準等価回路（すなわち、準等価な回路）の規定値、および等価性検証の結果を保持する機能も有する。

【0022】

さらに、図2に示す本発明の回路シミュレーション装置は、上記回路の外部端子から上記複数の部分回路の各々における所定の端子までの経路をたどって上記外部端子からの影響の強さを評価する評価手段と、この評価手段による上記外部端子からの影響の強さに関する評価結果、および上記記憶部5に保持されている上記データに基づいて上記等価性検証を行うことにより上記の等価な動作特性を示す部分回路を検出するための回路等価性検証部2とを備えており、上記の等価

な動作特性を示す部分回路を一つにまとめて上記回路を圧縮した後に上記回路シミュレーションを行うように構成される。

【0023】

好ましくは、上記評価手段は、記憶部5や回路抽出部1や回路等価性検証部2等に接続されるCPU等を含む制御部6により実現される。この制御部6はまた、種々のデータの流れを制御したり、回路等価性検証部2による等価性検証の結果に基づいて等価な動作特性を示す部分回路であるか否かの判定を行ったりするものである。

【0024】

さらに、図2に示す本発明の回路シミュレーション装置には、制御部6に接続されるデータ入力部4が設けられている。このデータ入力部4は、複数の部分回路の構成、上記複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係、および上記複数の部分回路の対応する構成素子の動作特性についてのデータと、準等価回路の規定値とを制御部6に入力する機能を有する。さらにまた、図2の回路シミュレーション装置には、複数の部分回路の等価性検証の結果を表示する出力表示部7が設けられている。

【0025】

さらに、好ましくは、上記回路が複数のMOS型半導体素子を含むMOS回路である場合、上記評価手段は、上記外部端子からの影響の強さとして、上記外部端子から上記複数の部分回路の各々における所定の端子までの経路をたどったときに上記MOS型半導体素子のソース端子またはドレイン端子からゲート端子の方向への移動の回数を評価する。

【0026】

さらに、好ましくは、図2に示す本発明の回路シミュレーション装置には、制御部6に接続される接続回路準等価性検証部3が設けられている。この接続回路準等価性検証部3は、上記回路等価性検証部2により、上記等価性検証を行うべき複数の部分回路の対応する入力端子および出力端子の少なくとも一方の接続関係が互いに異なると判定された場合、当該入力端子および出力端子の少なくとも一方にそれぞれ接続されている他の複数の部分回路についての準等価性を検証す

る機能を有する。この場合、上記接続回路準等価性検証部3により当該他の複数の部分回路が準等価な回路であると判定されたときは、上記等価性検証を行うべき複数の部分回路が等価な動作特性を示すものとみなす。

【0027】

さらに、好ましくは、図2に示す本発明の回路シミュレーション装置においては、回路等価性検証部2が等価性検証を行うにあたり、上記回路内で他に存在しない唯一な素子を検出し、この唯一な素子に接続されている端子の中で他に存在しない唯一な端子と判定されていない端子が存在する場合、当該端子を新たに唯一な端子と判定し、上記の新たに判定された唯一な端子に接続されている複数の部分回路についての等価性検証を行うように構成される。

【0028】

上記の回路シミュレーション装置を用いてシミュレーション動作を実行する場合、まずMOSLSI回路等のシミュレーション対象回路内にて、同じ動作特性を示す部分回路を検出する。この部分回路の検出にあたっては、抽出した部分回路の外部端子からの影響の強さを考慮して実行する。この外部端子からの影響の強さは、外部端子から対象とする端子までの経路をたどる過程にて、MOS型半導体素子（例えば、MOS型トランジスタ）のソース端子またはドレイン端子からゲート端子の方向への経路を通過した回数に対応する。等価動作の検証を行う際には、2つの部分回路の対応する外部端子の接続状態が異なっていたとしても、このように接続状態が異なっている外部端子からの強さが指定値以上である場合には、その異なる部分からの影響はないものとみなして等価な動作特性を有する旨の判定を行う。

【0029】

また一方で、部分回路の等価性に関する比較検証に際しては、他に同じ動作を行う素子および端子は存在しない、すなわち、圧縮することが可能な他の部分回路は存在しないという唯一性を検出しながら、上記比較検証を行う。換言すれば、唯一であることが確認された部分回路を含む部分回路については、他に等価な動作特性を示す箇所は存在しないということである。したがって、部分回路の等価性に関する比較検証を行うときには、上記のように唯一であることが確認され

た部分回路以外の部分回路についてのみ検証を行えばよい。

【0030】

図2に示したような回路シミュレーション装置を用いて回路シミュレーションを行う場合には、回路等価性検証部2により検出された等価な動作特性を示す部分回路を一つにまとめて動作特性を解析する。この動作特性の解析に際しては、原則として一つにまとめた後の部分回路の解析は、一つにまとめる前と同じように計算するが、まとめる対象とする部分回路の境界に位置する回路素子については、次のような処理を行う。

【0031】

まず、まとめられる側の回路素子が同一端子に接続されている回路素子である場合、同一端子に対する動作特性値はまとめた数だけ倍にして計算する。まとめられる側の回路素子が異なる端子に接続されている場合には、一つにまとめられた部分回路は、元々接続していた先のいずれかに接続しているとして解析を行い、このような解析結果をそれぞれの異なる端子に対する結果として取り扱うことにより動作特性の解析を行なう。

【0032】

本発明の回路シミュレーション方法または回路シミュレーション装置によれば、抽出した部分回路の外部端子から対象とする端子までの経路をたどる過程にて、MOS型半導体素子のソース端子またはドレイン端子からゲート端子の方向への経路を通過した回数に対応する影響の強さ等を考慮して部分回路の等価性検証を行っているので、従来の手法ではまとめることができなかった複数の部分回路を一つにまとめることが容易に行われる。この結果、シミュレーション対象回路をより効果的に圧縮することができるので、シミュレーション対象回路の回路規模が充分小さくなり、比較的高速にて回路のシミュレーション動作を実行することが可能になる。

【0033】

【発明の実施の形態】

以下、図3～図12を参照しながら、本発明の好ましい実施例を説明する。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付

して表すこととする。

図3は、本発明の回路シミュレーション方法に係る実施例において、2つの部分回路の動作の等価性を検証するアルゴリズムを示す流れ図である。

【0034】

図3においては、2つの部分回路の等価性を検証するアルゴリズムの例が示されている。まず、回路シミュレーションの対象とする回路から、等価性について比較検証すべき部分回路を抽出する（ステップS11）。以下、比較検証を行う部分回路を抽出する度にステップ11が繰り返されることになる。まず、比較している2つの部分回路の回路構成（すなわち、どのような種類の回路素子がどのように接続されているか）を比較する（ステップS12）。この結果、一部でも回路構成が異なっている場合には、これらの部分回路の間には等価性がないと判断される（ステップS17）。これに対し、2つの部分回路の回路構成が完全に一致した場合、次のステップS13に進む。このステップS13では、2つの部分回路の構成比較を行った際に、対応する回路素子について、その動作特性を比較する。ここで、動作特性が異なる回路素子が存在した場合には、これらの部分回路の動作特性は互いに等価でないと判断する（ステップS17）。

【0035】

ここで、全ての対応する回路素子の間でその動作特性が同じである場合には、上記の部分回路に対する入力端子および出力端子の少なくとも一方（以後、入出力端子と略記する）について、比較対応を行う（ステップS14）。このステップS14は、対応する入出力端子が同一のものであるか否かの判定を行うステップである。もし、対応する入出力端子が全て同じであれば、上記の比較対応を行っている部分回路の動作特性は等価であると判断する（ステップS16）。これに対し、異なる入出力端子が存在している場合には、その入出力端子に接続している部分回路（ただし、比較対応を行って等価性を検証している部分回路は除く）について準等価な回路であるか否かの判定、すなわち、準等価性の検証を行なう（ステップS15）。この結果、異なる全ての入出力端子について、その先に接続している部分回路が準等価な回路であると判定された場合には、上記の比較対応を行っている部分回路は、等価性を有するものと判断する（ステップS16）。

）。そうでない場合には、等価性はないものと判断する（ステップS17）。

【0036】

図4は、本発明の回路シミュレーション方法に係る実施例において、2つの部分回路の動作の準等価性を検証するアルゴリズムを示す流れ図である。

図4において、2つの部分回路の動作の準等価性を検証する場合、まず準等価性の比較を行う部分回路の回路構成について調べる（ステップS21）。この結果、これらの部分回路の構成が一部でも異なる場合には、準等価でないと判定する（ステップS24）。上記の部分回路の構成が同じ場合には、対応する回路素子について、その動作特性が同じか否かを検証する（ステップS22）。もし、一つでも動作特性が異なる回路素子が存在している場合には、準等価でないと判定する（ステップS24）。これに対し、全ての回路素子についてその動作特性を比較した結果、これらの動作特性が同じであると判定された場合には、次のステップS23に進む。このステップS23では、準等価性の判定の原因となった入出力端子について、準等価性を検証している回路の外部端子からの影響の強さを求める（ステップS23）。この影響の強さが予め定められた規定以上である場合には、上記2つの部分回路は準等価性を有するものと判断する（ステップS25）。そうでない場合には、準等価性はないものと判断する（ステップS24）。

【0037】

図5は、本発明の回路シミュレーション装置に係る実施例の構成を示すブロック図である。ここでは、図2に示した本発明の基本原理に基づく回路シミュレーション装置を、コンピュータおよび外部記憶装置等を含むコンピュータシステムにより実現している例を示す。

図5に示す実施例においては、図1の制御部6と、回路抽出部1と、回路等価性検証部2と、接続回路準等価性検証部3と、シミュレーション対象回路の外部端子からの影響の強さを評価する評価手段とを、CPU等を含むコンピュータ60により構成している。

【0038】

さらに、図5においては、図1の記憶部5を、光磁気ディスク装置や磁気ディ

スク装置等の外部記憶ユニット50により構成している。この外部記憶ユニット50には、複数の部分回路の構成、上記複数の部分回路の対応する入出力端子の接続関係、および上記複数の部分回路の対応する回路素子の動作特性に関わる回路データ51、外部端子からの影響の強さ等の準等価回路の規定値52、および等価性や準等価性に関する検証結果データ53等が保持される。

【0039】

さらに、図5においては、図1のデータ入力部4として、データ入力ユニット40が設けられている。このデータ入力ユニット40は、複数の部分回路の構成、上記複数の部分回路の対応する入出力端子の接続関係、および上記複数の部分回路の対応する構成素子の動作特性についてのデータと、準等価回路の規定値とをコンピュータ60に入力する機能を有する。

【0040】

さらに、図5においては、図1の出力表示部7として、複数の部分回路の等価性検証の結果を画面に表示するディスプレイユニット70と、上記複数の部分回路の等価性検証の結果を印刷して表示するプリンタユニット72とが設けられている。

上記実施例では、コンピュータ60内のCPU等の動作によって、図3および図4にて説明したような部分回路の動作の等価性および準等価性を検証するアルゴリズムが高速にて実行される。

【0041】

図6は、外部端子から各端子への影響の強さを説明するための回路図である。ただし、ここでは、回路シミュレーションの対象とする回路として、同じ動作特性を有する複数のp-MOS型トランジスタおよびn-MOS型トランジスタから構成される論理回路を例示することとする。

図6において、A～Hは端子を示している。また一方で、Ta、Tb、Tf、Th、TiおよびTkはp-MOS型トランジスタを示し、Tc、Td、Te、Tg、TjおよびTlはn-MOS型トランジスタを示している。さらに、図6中の黒丸(●)は、相異なる回路素子間等を接続するためのノードを示している。

【0042】

さらに、図6においては、シミュレーション対象回路の外部端子Aから見た場合の各端子の影響の強さが表示されている。具体的には、図6の各々の端子名に付加された括弧（ ）の中の数値が、その端子での影響の強さを表している。例えば、端子Eに関していえば、外部端子としての端子Aから端子Eまでの経路はA→T_b→C→T_h→Eとなる。この経路では、MOS型トランジスタのソース端子またはドレイン端子からゲート端子の方向への移動の回数は2回であるから、端子Eの影響の強さは2となる。もし複数の経路が存在する場合には、最も小さい影響の強さをその端子の影響の強さと定義する。

【0043】

図7は、図3のアルゴリズムにより等価回路と判定される第1の例を示す回路図である。

ただし、ここでは、回路シミュレーションの対象とする回路として、4個のp-MOS型トランジスタT₁、T₃、T₅およびT₆と、4個のn-MOS型トランジスタT₂、T₄、T₇およびT₈とにより構成される論理回路を例示することとする。なお、この場合も、上記のp-MOS型トランジスタおよびn-MOS型トランジスタは全て同じ動作特性を有するものとする。さらに、入力端子から第1の部分回路11および第2の部分回路12にそれぞれ入力される2つの信号の波形は同じであるとする。

【0044】

図7は、第1の部分回路11と第2の部分回路12が互いに等価な動作特性を有すると判断される例を示すものである。具体的には、前述の図3のアルゴリズムに従い、上記2つの部分回路11、12における入出力端子について比較対応を行った結果、対応する入出力端子が同一のものであることが確認されるので、最終的に、上記2つの部分回路11、12の動作特性は等価であると判断することができる。

【0045】

図8は、図3のアルゴリズムにより等価回路と判定されない例を示す回路図である。

ただし、ここでは、回路シミュレーションの対象とする回路として、4個のp-MOS型トランジスタT11、T13、T15およびT16と、4個のn-MOS型トランジスタT12、T14、T17およびT18とにより構成される論理回路を例示することとする。なお、この場合も、上記のp-MOS型トランジスタおよびn-MOS型トランジスタは全て同じ動作特性を有するものとする。さらに、入力端子から第1の部分回路21および第2の部分回路22にそれぞれ入力される2つの信号の波形は同じであるとする。

【0046】

図8は、第1の部分回路21と第2の部分回路22が互いに等価な動作特性を有していないと判断される例を示すものである。具体的には、前述の図3のアルゴリズムに従い、上記2つの部分回路21、22における入出力端子について比較対応を行った結果、上記2つの部分回路21、22の出力端子が、それぞれ異なるn-MOS型トランジスタT17、T18に接続されていることが確認される。したがって、最終的に、上記2つの部分回路21、22の動作特性は等価でないと判断することができる。

【0047】

図9は、図3のアルゴリズムにより等価回路と判定される第2の例を示す回路図である。

ただし、ここでは、回路シミュレーションの対象とする回路として、10個のp-MOS型トランジスタと10個のn-MOS型トランジスタ（T20～T39）により構成される論理回路を例示することとする。なお、この場合も、上記のp-MOS型トランジスタおよびn-MOS型トランジスタは全て同じ動作特性を有するものとする。さらに、入力端子から第1の部分回路31および第2の部分回路32にそれぞれ入力される2つの信号の波形は同じであるとする。

【0048】

図9は、第1の部分回路31と第2の部分回路32が互いに等価な動作特性を有すると判断される例を示すものである。具体的には、前述の図3のアルゴリズムに従い、上記2つの部分回路31、32における入出力端子について比較対応を行った結果、対応する入出力端子が同一のものであることが確認されるので、

最終的に、上記2つの部分回路31、32の動作特性は等価であると判断することができる。

【0049】

図10は、図4のアルゴリズムにより準等価回路と判定される例を示す回路図である。

ただし、ここでは、回路シミュレーションの対象とする回路として、前述の図9の回路と同様に、10個のp-MOS型トランジスタと10個のn-MOS型トランジスタ（T40～T59）により構成される論理回路を例示することとする。なお、この場合も、上記のp-MOS型トランジスタおよびn-MOS型トランジスタは全て同じ動作特性を有するものとする。さらに、入力端子から2本のラインにそれぞれ入力される2つの信号の波形は同じであるとする。

【0050】

図10に示すシミュレーション対象回路では、準等価回路での影響の強さの規定値は2に設定している。図10は、第1の部分回路33および第2の部分回路34が準等価な回路として判定される例を示すものである。この図10の例では、p-MOS型トランジスタT40、T44およびT48とn-MOS型トランジスタT41、T45およびT49からなる一方の等価回路の端子Aと、p-MOS型トランジスタT42、T46およびT50とn-MOS型トランジスタT43、T47およびT51からなる他方の等価回路の端子Bとの出力先は互いに異なるが、前述の図4のアルゴリズムに従い、上記の出力先の部分回路（すなわち、第1の部分回路33および第2の部分回路34）においては、その回路構成および回路素子の動作特性は同じであることが確認される。さらに、第1の部分回路33および第2の部分回路34のそれぞれ対応する入出力端子の接続関係の中で異なるものは、n-MOS型トランジスタT58、T59への接続であるが、これらのn-MOS型トランジスタT58、T59から端子A、Bまでの影響の強さは2であり、規定値以上になっている。したがって、第1の部分回路33および第2の部分回路34は、最終的に、準等価な回路であると判断することができるので、図10の中で図9の第1の部分回路31および第2の部分回路32に相当する部分の部分回路の動作特性は等価であると判断することができる。

【0051】

図11は、図9の回路を圧縮した場合の回路構成を示す回路図である。

ここでは、圧縮した部分回路が、3個のp-MOS型トランジスタPa、PcおよびPeと、3個のn-MOS型トランジスタPb、PdおよびPfとにより構成されている。すなわち、前述の図9の第1の部分回路31および第1の部分回路32の回路素子数が1/2に圧縮されている。さらに、図11の回路は、上記以外のMOS型トランジスタとして、4個のp-MOS型トランジスタおよび4個のn-MOS型トランジスタ(T62~T69)を含む。

【0052】

回路シミュレーションは、図11に示すような圧縮した回路について行うことになる。この場合、圧縮した部分回路の取り扱いが通常の回路とは異なることに注意する必要がある。まず、端子Cについて解析する場合、p-MOS型トランジスタPaから流れ込む電流は2倍（圧縮した回路数に相当する）にして計算する必要がある。端子Dについても同様である。また、端子Gについて解析する場合には、図11中に点線で示した端子Gおよび端子G'間の接続はないものとして解析を行う。これに対し、端子Hについて解析する場合には、あたかも端子G'が端子Gであるかのように取り扱う。以上のようにして、圧縮した回路のシミュレーション動作が実行される。

【0053】

図12は、本発明の回路シミュレーション方法に係る実施例において、素子および端子の唯一性を検証するアルゴリズムを示す流れ図である。ただし、ここでは、シミュレーション対象回路を構成する回路素子を、単に素子とよぶこととする。

図12に示すアルゴリズムにおいては、まず、唯一である素子の検出を行う（ステップS31）。例えば、固有な動作をする電源などがその例である。ここで、同じ動作をする電源が存在している場合には、これらの電源を圧縮して一つの電源とすることにより、当該電源を唯一な素子として取り扱うことができる。唯一である素子が検出された場合、次に、この検出された素子に接続されている接続端子について唯一と判定されているか否かの検証を行う（ステップS32）。

もし、唯一と判定されていない端子がある場合には、その端子を新たに唯一な端子として判定する（ステップS33）。

【0054】

さらに、全ての唯一と判定された素子について、その接続端子が全て唯一であると判断された場合にはステップを終了する（ステップ37）。また一方で、新たに唯一であると判定された素子については、その端子に接続されている部分回路について動作特性の等価性検証を行い（ステップS34）、動作特性が等価であると判定された部分回路については圧縮を行う（ステップS35）。このようにして回路の圧縮をかけた後に、唯一であると判定されている端子に接続された素子を新たに唯一であると判定する（ステップS36）。以上のステップを繰り返すことにより、素子および端子の唯一性の判定および回路の圧縮が実行される。

【0055】

【発明の効果】

以上説明したように本発明によれば、第1番目に、シミュレーション対象回路から抽出した部分回路の外部端子から対象とする端子までの経路をたどることにより、上記外部端子からの影響の強さを考慮して部分回路の等価性検証を行っているので、従来の手法ではまとめることができなかった複数の部分回路を一つにまとめることが容易にできるようになる。それゆえに、シミュレーション対象回路をより効果的に圧縮してシミュレーション対象回路の回路規模を充分小さくすることができるので、比較的高速にて回路シミュレーションを実行することが可能になる。

【0056】

さらに、本発明によれば、第2番目に、部分回路の外部端子からの影響の強さとして、外部端子から対象とする端子までの経路をたどる過程にて、MOS型半導体素子のソース端子またはドレイン端子からゲート端子の方向への経路を通過した回数を評価しているので、部分回路の等価性検証が従来よりも精度良く行われ、MOSLSI回路のような大規模な回路を効果的に圧縮することができる。それゆえに、MOSLSI回路等のシミュレーションに要する所要時間が大幅に

大幅に短縮され、シミュレーション動作を高速にて実行することが可能になる。

【0057】

さらに、本発明によれば、第3番目に、等価性検証を行うべき複数の部分回路の対応する入出力端子の接続関係が互いに異なると判定された場合、当該入出力端子にそれぞれ接続されている他の複数の部分回路についての準等価性を検証しているので、この準等価性の検証結果に基づいて、等価性検証を行うべき部分回路の等価性を迅速かつ確実に検証することが可能になる。それゆえに、シミュレーション対象回路を圧縮するために要する時間が大幅に短縮される。

【0058】

さらに、本発明によれば、第4番目に、部分回路の等価性検証を行うにあたり、シミュレーション対象回路内で他に存在しない唯一な素子を検出すると共に、この唯一な素子に接続されている端子の中から唯一な端子を検出するようにしている。それゆえに、等価性検証を行うことが必要な部分回路として、唯一であることが確認された部分回路以外の部分回路を容易に抽出することが可能になる。

【図面の簡単な説明】

【図1】

本発明の基本原理に基づく回路シミュレーション方法を説明するための流れ図である。

【図2】

本発明の回路シミュレーション装置の原理構成を示すブロック図である。

【図3】

本発明の回路シミュレーション方法に係る実施例において、2つの部分回路の動作の等価性を検証するアルゴリズムを示す流れ図である。

【図4】

本発明の回路シミュレーション方法に係る実施例において、2つの部分回路の動作の準等価性を検証するアルゴリズムを示す流れ図である。

【図5】

本発明の回路シミュレーション装置に係る実施例の構成を示すブロック図である。

【図6】

外部端子から各端子への影響の強さを説明するための回路図である。

【図7】

図3のアルゴリズムにより等価回路と判定される第1の例を示す回路図である。

【図8】

図3のアルゴリズムにより等価回路と判定されない第2の例を示す回路図である。

【図9】

図3のアルゴリズムにより等価回路と判定される第2の例を示す回路図である。

【図10】

図4のアルゴリズムにより準等価回路と判定される例を示す回路図である。

【図11】

図9の回路を圧縮した場合の回路構成を示す回路図である。

【図12】

本発明の回路シミュレーション方法に係る実施例において、素子および端子の唯一性を検証するアルゴリズムを示す流れ図である。

【図13】

従来の回路シミュレーション方法の一例を説明するための流れ図である。

【図14】

図13の回路シミュレーション方法により回路圧縮が行われるシミュレーション対象回路の代表例を示す回路図である。

【符号の説明】

- 1…回路抽出部
- 2…回路等価性検証部
- 3…接続回路準等価性検証部
- 4…データ入力部
- 5…記憶部

6…制御部

7…出力表示部

1 1…第1の部分回路

1 2…第2の部分回路

2 1…第1の部分回路

2 2…第2の部分回路

3 1…第1の部分回路

3 2…第2の部分回路

3 3…第1の部分回路

3 4…第2の部分回路

4 0…データ入力ユニット

5 0…外部記憶ユニット

5 1…回路データ

5 2…準等価回路の規定値

5 3…検証結果データ

6 0…コンピュータ

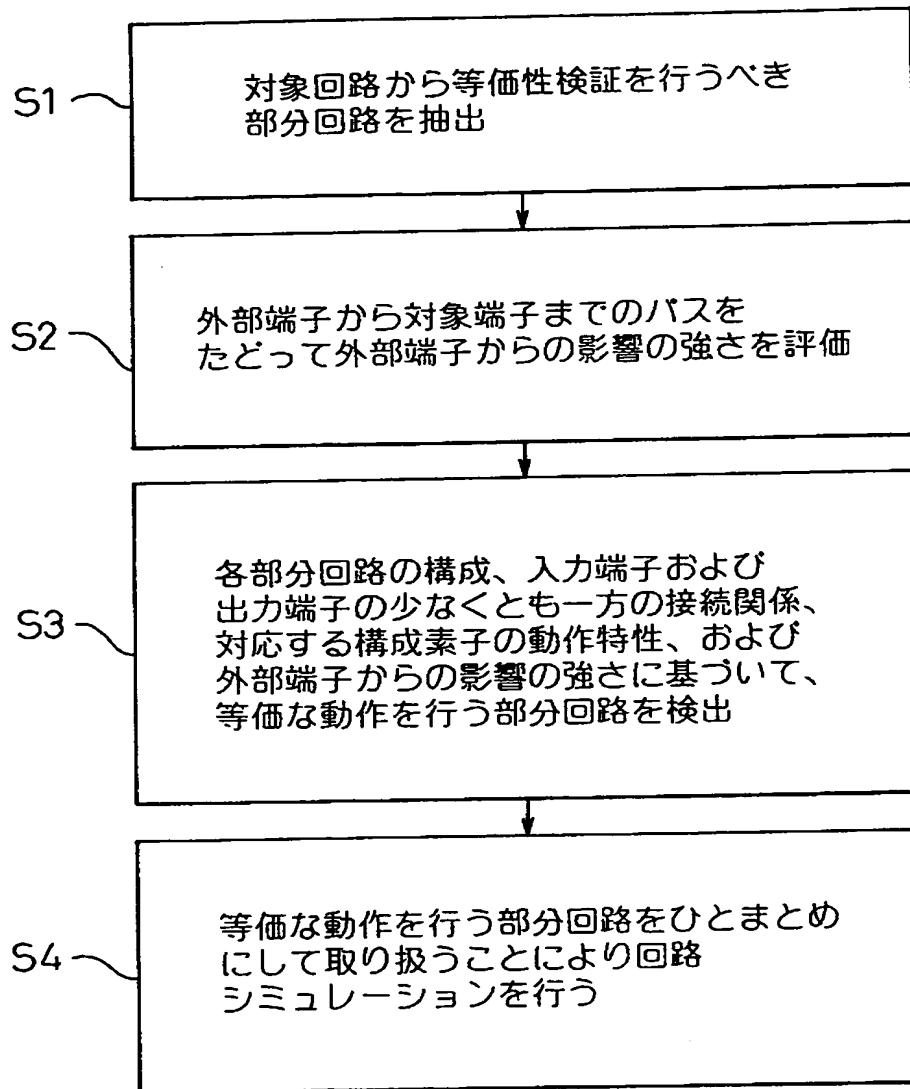
7 0…ディスプレイユニット

7 2…プリンタユニット

【書類名】 図面

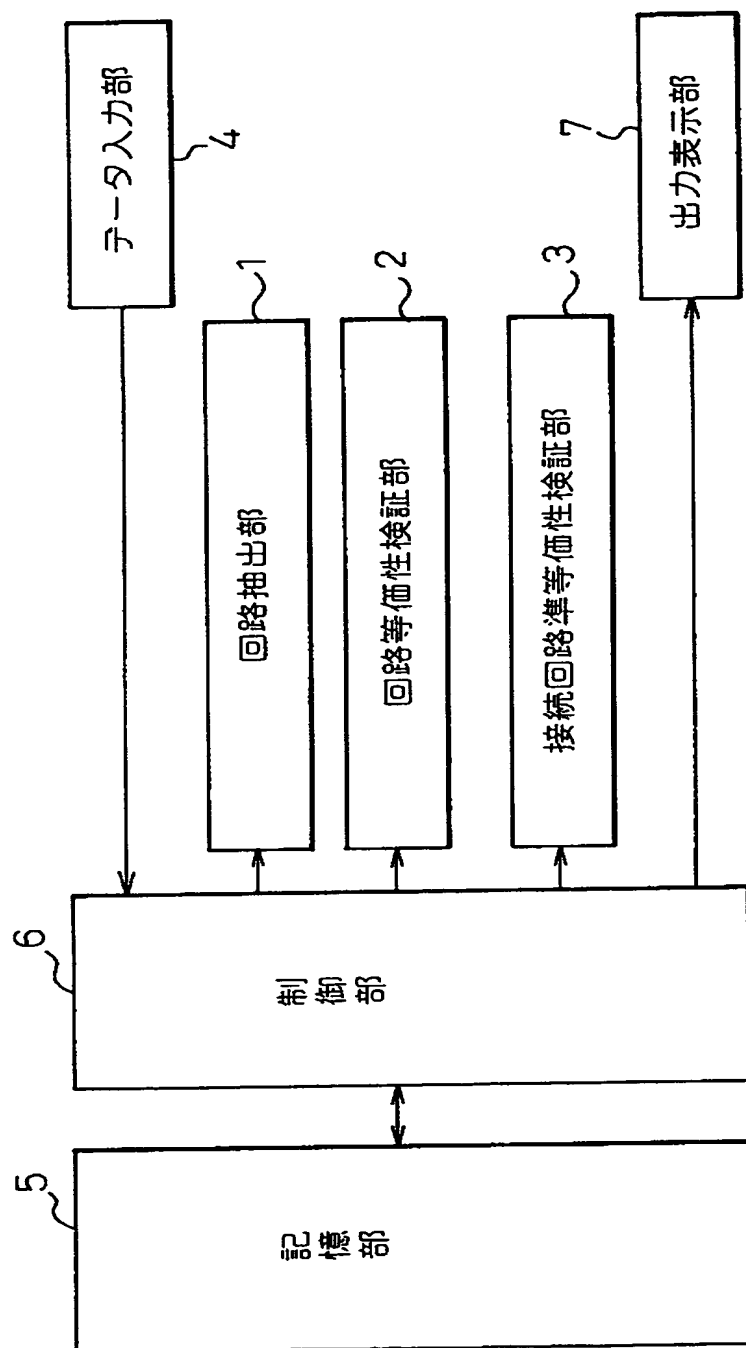
【図1】

本発明の基本原理に基づく回路シミュレーション方法を説明するための流れ図



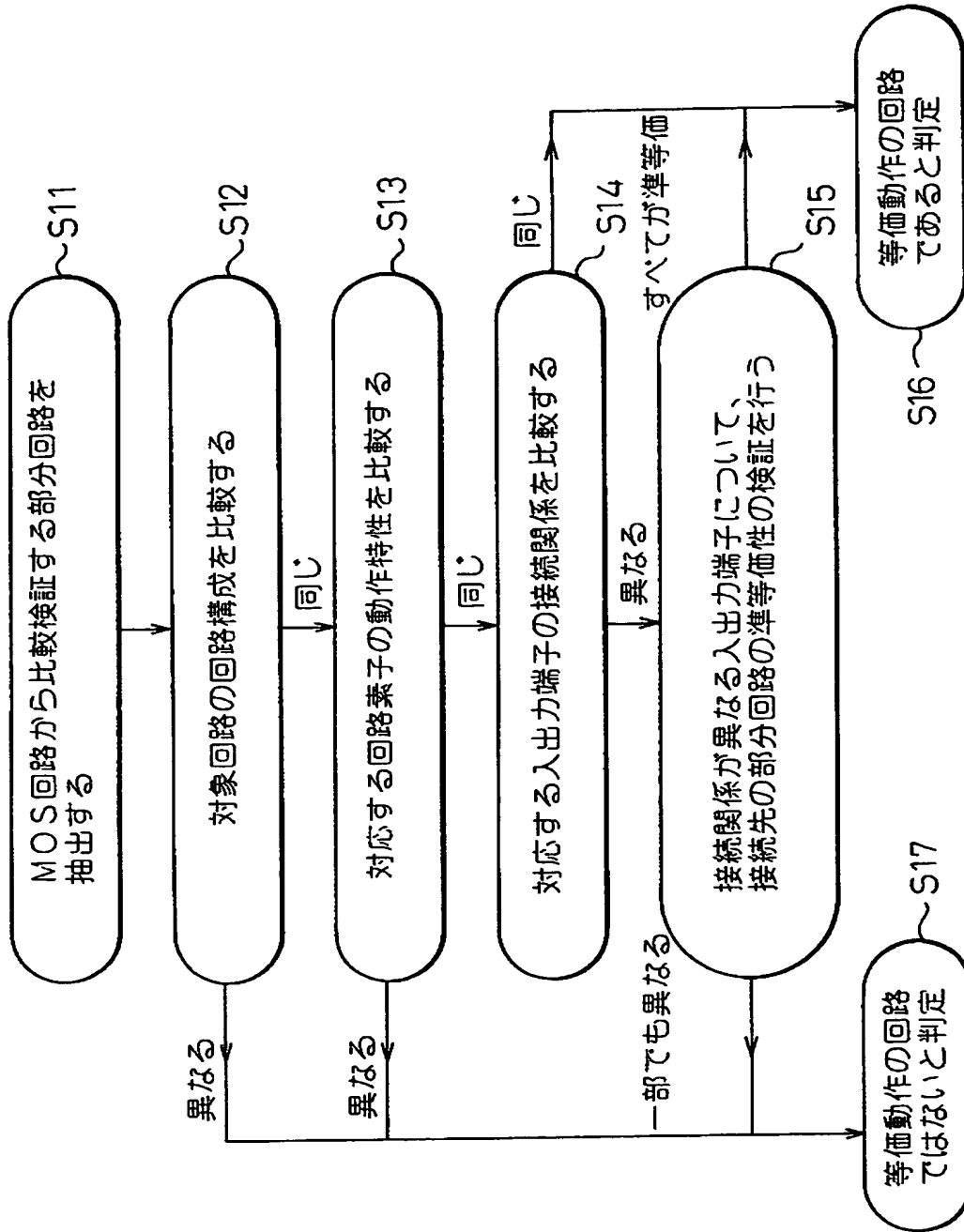
【図2】

本発明の回路シミュレーション装置の原理構成を示すブロック図



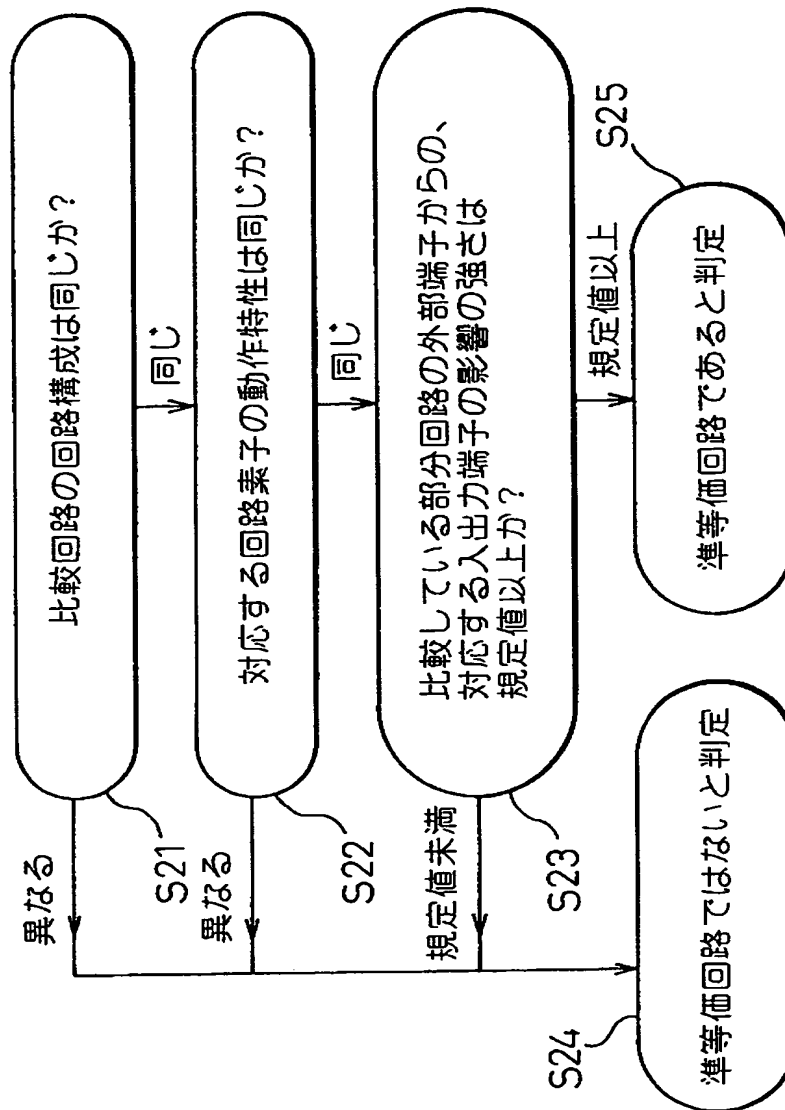
【図3】

本発明の回路シミュレーション方法に係る実施例において、
2つの部分回路の動作の等価性を検証するアルゴリズムを
示す流れ図



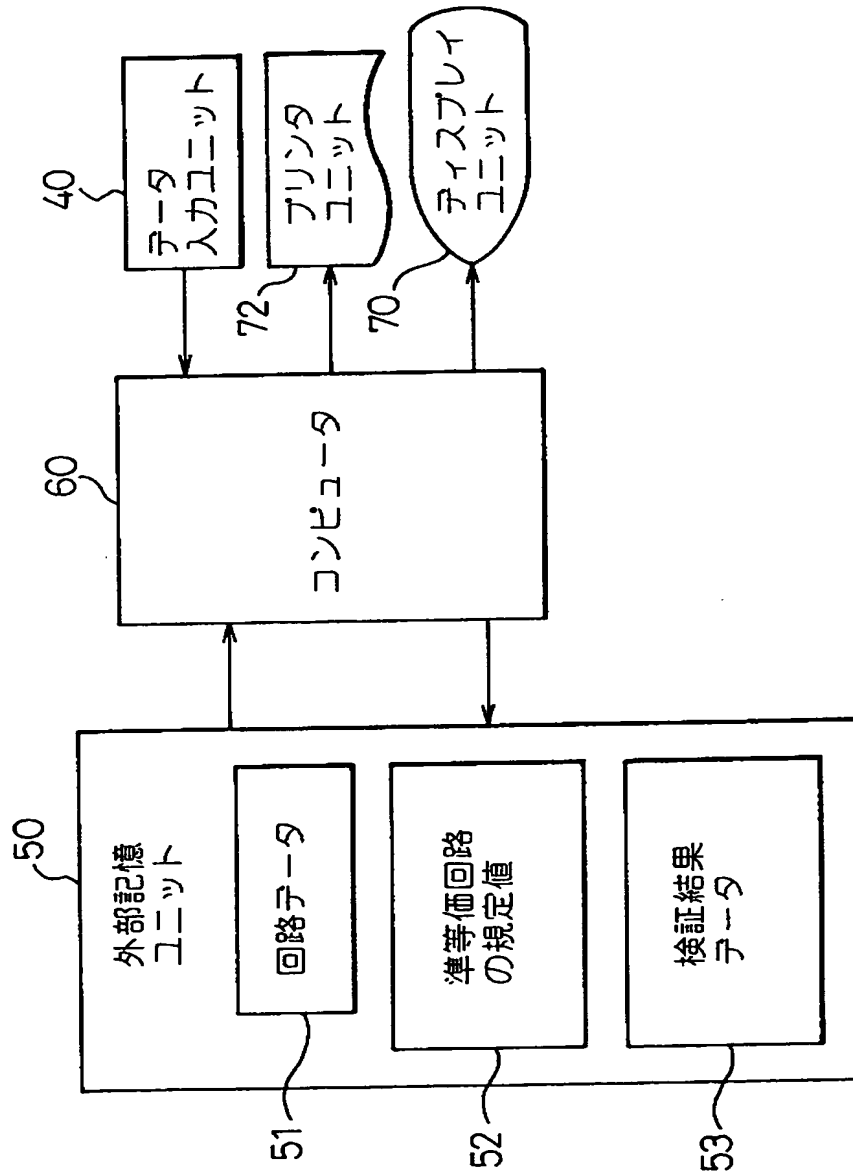
【図4】

本発明の回路シミュレーション方法に係る実施例において、
2つの部分回路の動作の準等価性を検証するアルゴリズムを
示す流れ図



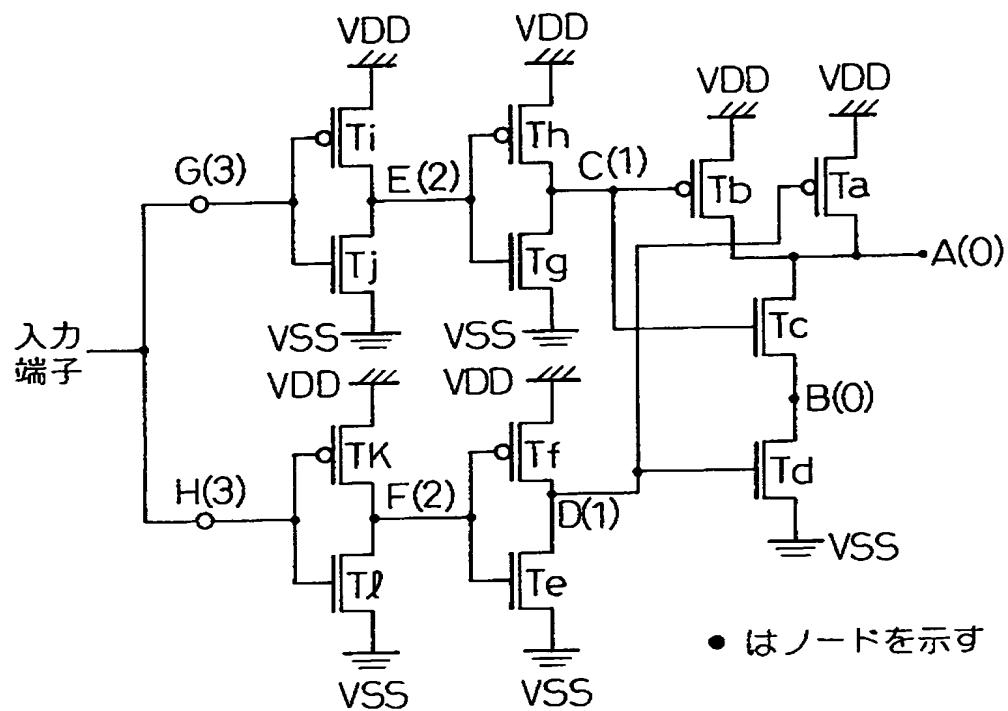
【図5】

本発明の回路シミュレーション装置に係る実施例の構成を示すブロック図



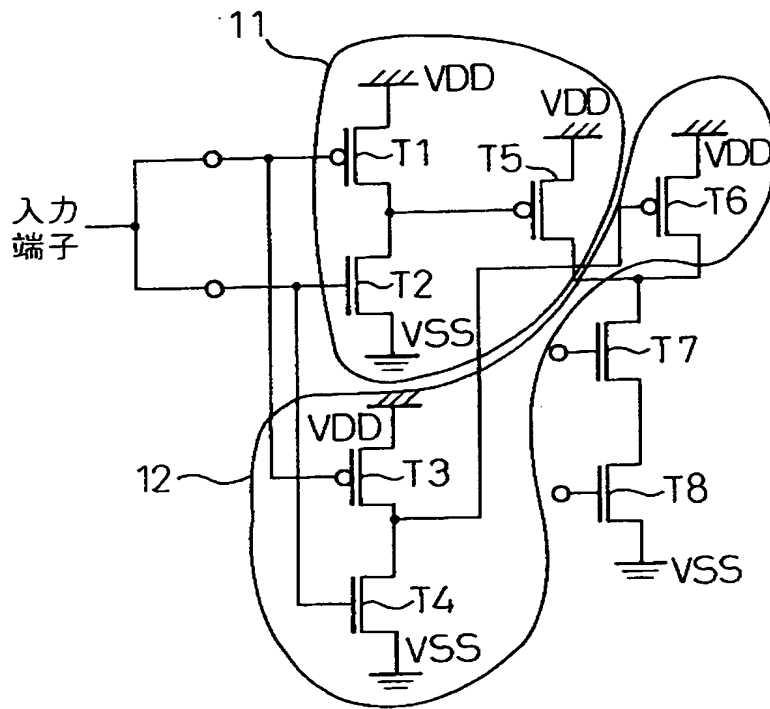
【図6】

外部端子からの各端子への影響の強さを説明するための回路図



【図7】

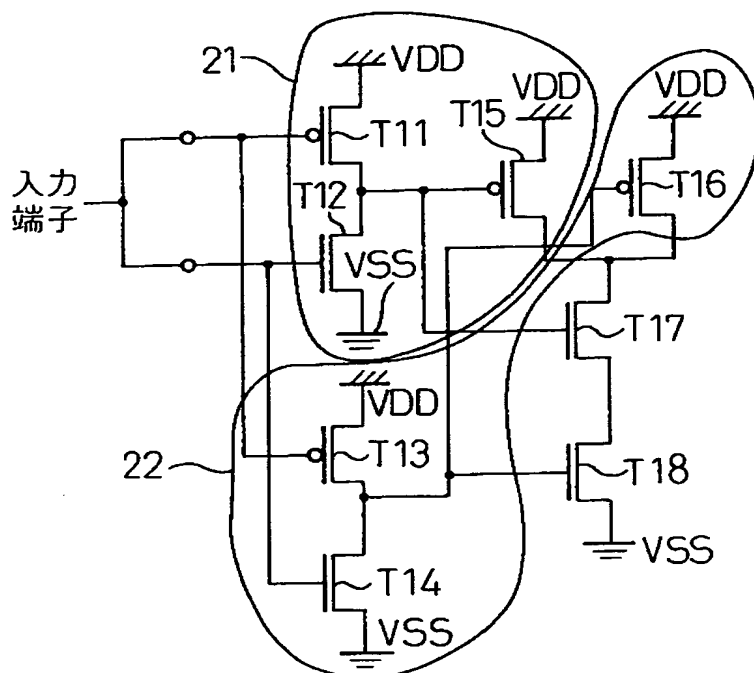
図3のアルゴリズムにより等価回路と判定される第1の例を示す回路図



11…第1の部分回路
12…第2の部分回路

【図8】

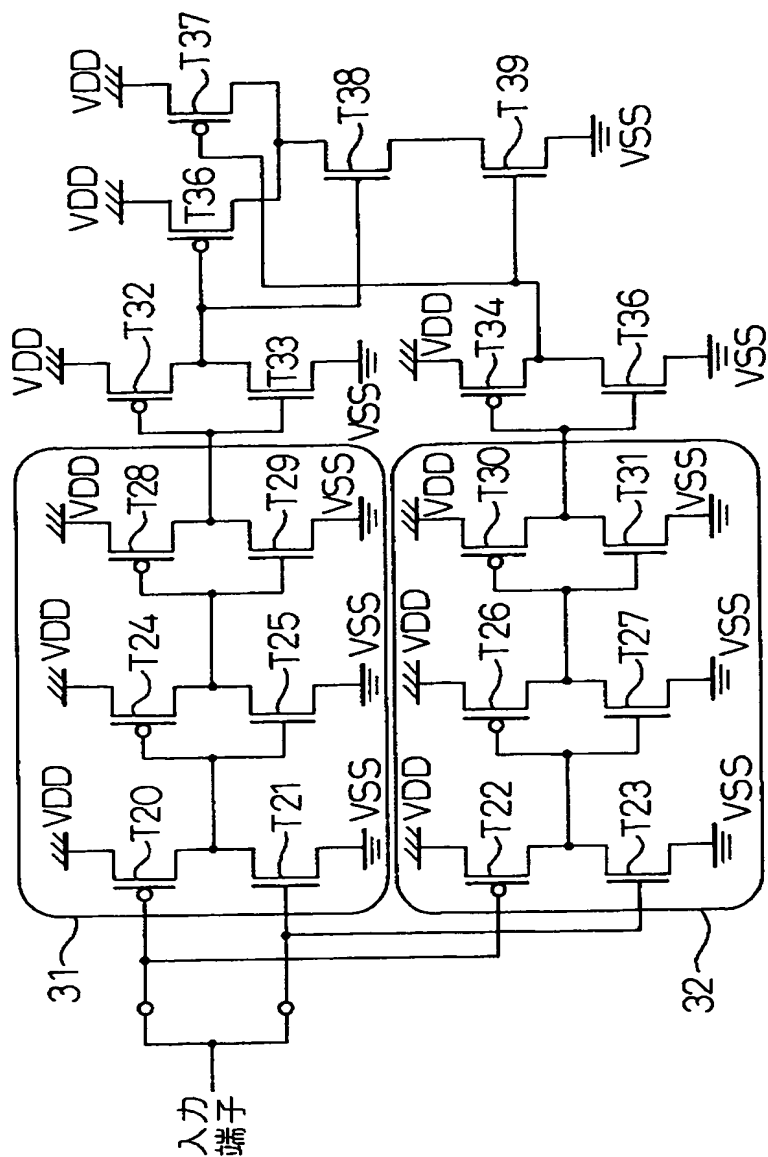
図3のアルゴリズムにより等価回路と判定されない例を示す回路図



21…第1の部分回路
22…第2の部分回路

【図9】

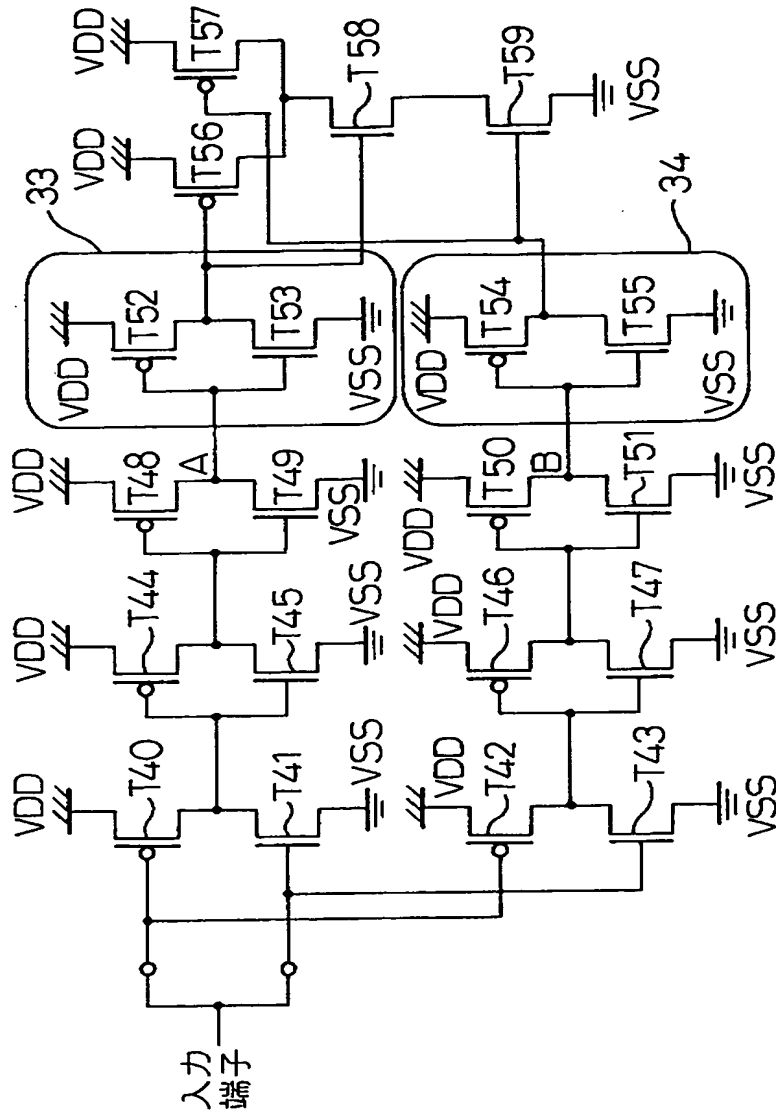
図3のアルゴリズムにより等価回路と判定される第2の例を示す回路図



31...第1の部分回路
32...第2の部分回路

【図10】

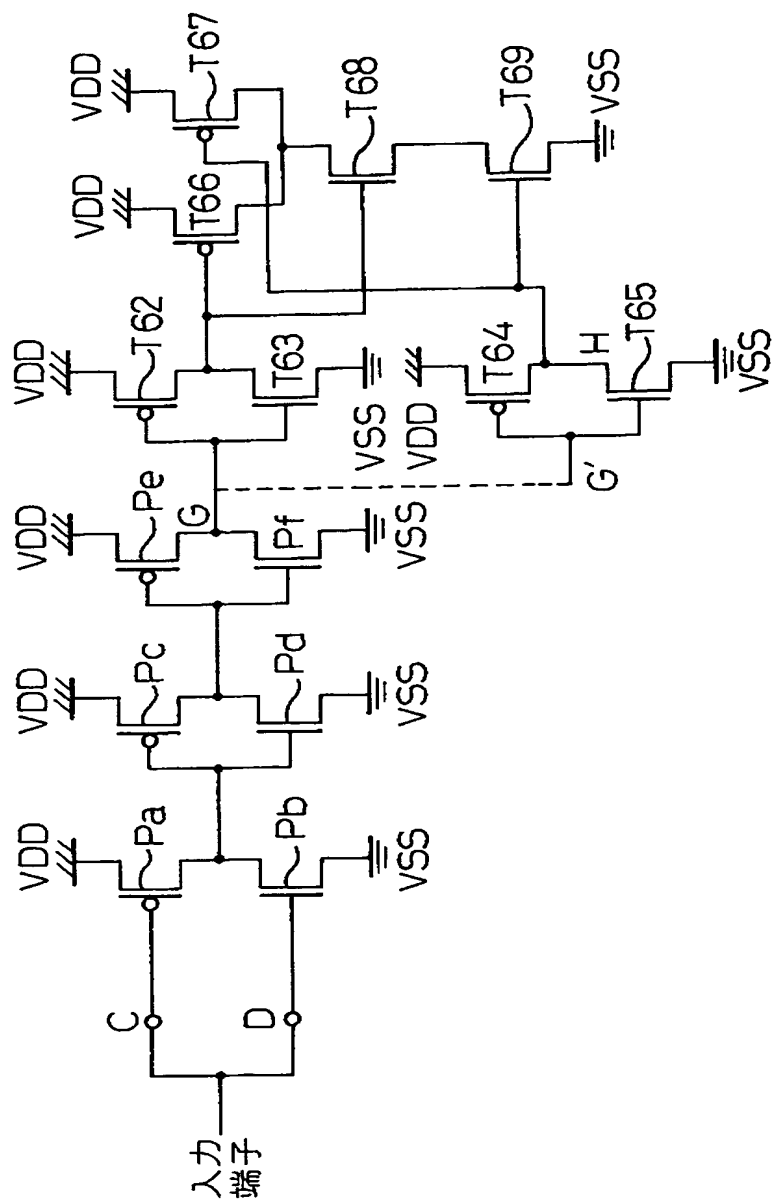
図4のアルゴリズムにより準等価回路と判定される例を示す回路図



33...第1の部分回路
34...第2の部分回路

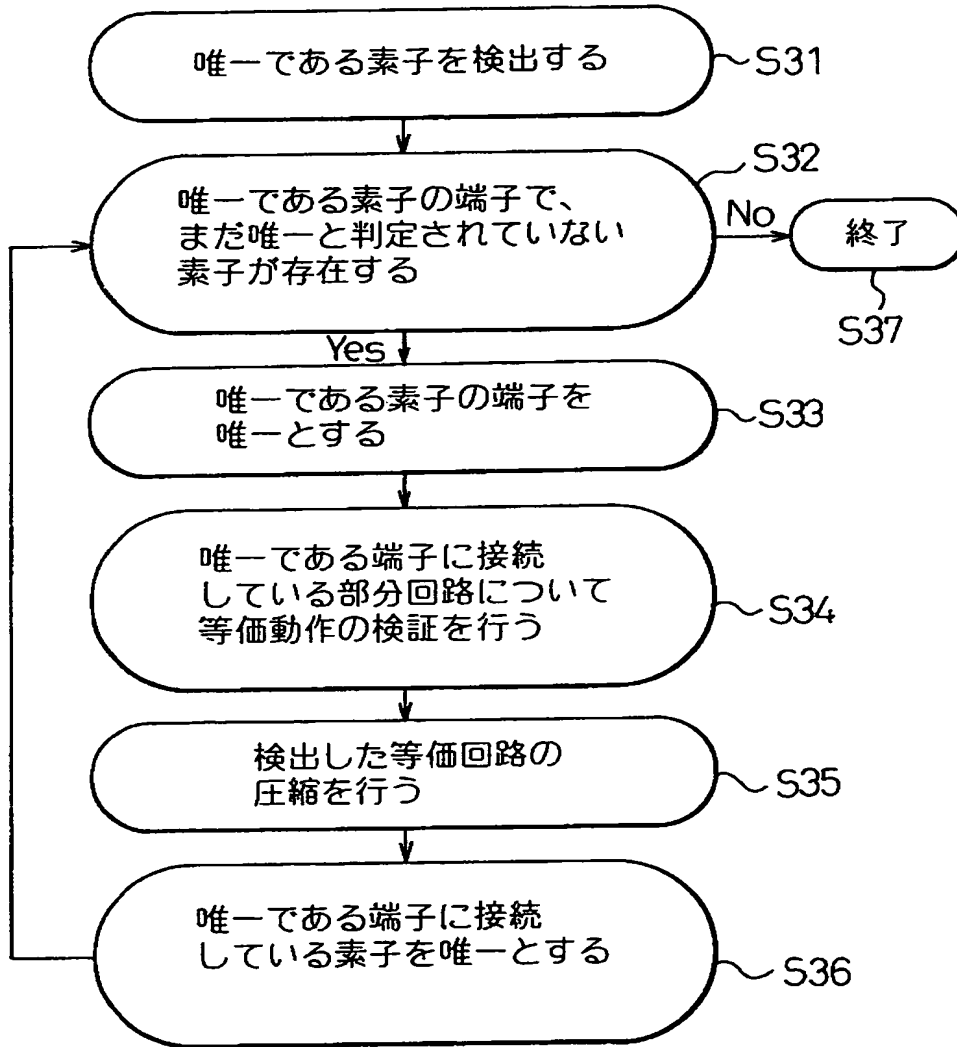
【図11】

図9の回路を圧縮した場合の回路構成を示す回路図



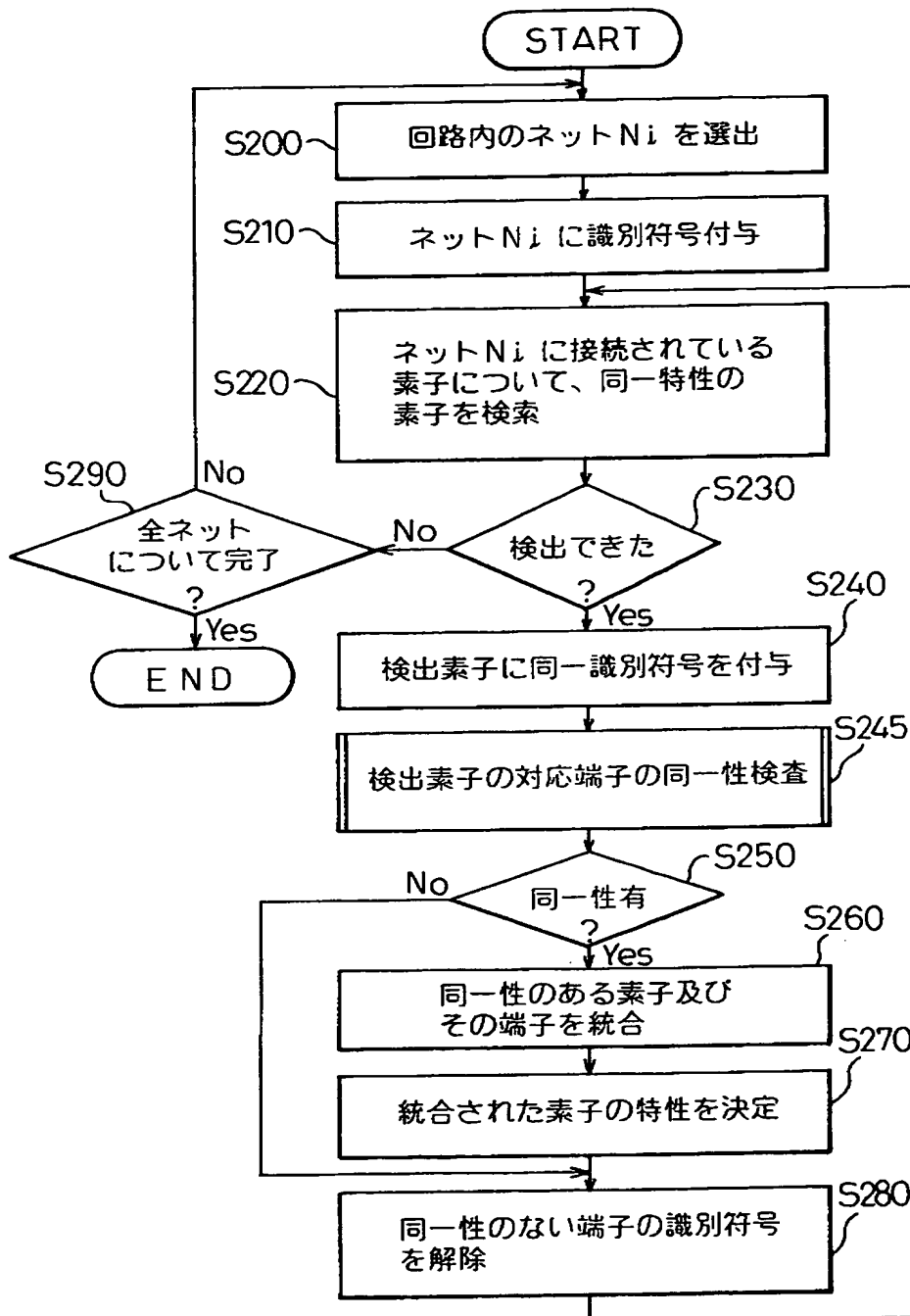
【図12】

本発明の回路シミュレーション方法に係る実施例において、
素子および端子の唯一性を検証するアルゴリズムを示す流れ図



【図13】

従来の回路シミュレーション方法の一例を説明するための流れ図



【書類名】 要約書

【要約】

【課題】 シミュレーション対象回路に対し回路シミュレーションを行うための回路シミュレーション方法および装置に関し、特にMOSLSI回路等の大規模回路をシミュレーション対象として選定した場合に、シミュレーションの所要時間を大幅に短縮して高速のシミュレーションを実現することを目的とする。

【解決手段】 シミュレーション対象回路から、等価な動作特性を示すか否かについての等価性検証を行うべき複数の部分回路を抽出し、上記対象回路の外部端子から各部分回路の所定の端子までの経路をたどって外部端子からの影響の強さを評価し、部分回路の構成、部分回路の対応する入力端子の接続関係、部分回路の対応する構成素子の動作特性、および外部端子からの影響の強さに基づいて等価性検証を行うことにより等価性を示す部分回路を検出し、当該部分回路を一つにまとめて回路圧縮をした後に回路シミュレーションを行うようにする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005223
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】 富士通株式会社
【代理人】 申請人
【識別番号】 100077517
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 石田 敬
【選任した代理人】
【識別番号】 100100871
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 土屋 繁
【選任した代理人】
【識別番号】 100088269
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 戸田 利雄
【選任した代理人】
【識別番号】 100082898
【住所又は居所】 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所
【氏名又は名称】 西山 雅也

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社